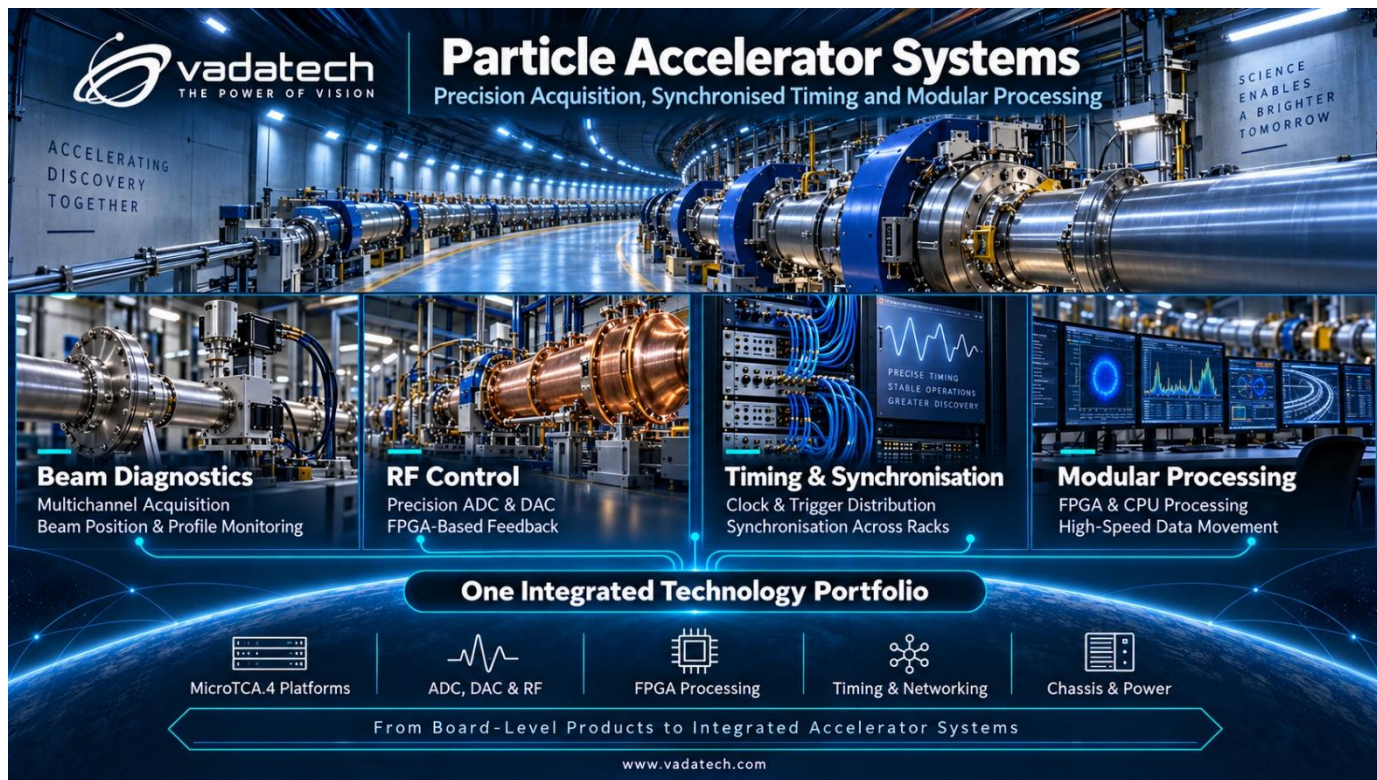




基于 MicroTCA.4 的粒子加速器系统 —— 高精度采集与模块化处理

粒子加速器仪器设备需要将高速电信号转化为精准测量结果与及时的控制动作。射频腔调控、束流诊断、同步采集对电子系统有着各不相同的需求，但都依托一套共同基础：可预测的信号通路、统一同步时序，以及部署在数据近端的处理单元。



在 VadaTech 公司，我们采用模块化设计思路，将信号采集、FPGA 处理与机箱基础设施整合，支撑各类专用仪器设备。MicroTCA.4 架构可以便捷对接上述各项功能，同时当通道数量、算法逻辑、设施需求发生变化时，系统依旧保有灵活性。网络级时序同步技术把这套方案的能力从单台机箱拓展至多机架协同仪器系统。

从测量与控制需求出发

一套加速器包含多套仪器子系统，每套子系统对带宽、动态范围、响应时间都有专属要求。系统架构设计应当从实际测量或控制任务着手，模拟前端、转换器配置、应用固件决定以上功能如何落地。尽早明确各项需求，才能在通道密度、处理资源、数据传输能力之间取得合理平衡。

应用场景	电子系统功能	核心设计考量
低电平射频控制 (LLRF)	采集腔体信号，计算射频幅度与相位的校正量	反馈环路延迟、相位稳定性、相干转换
束流位置监测	采集拾取电极信号，解算束流位置	通道匹配、时序同步、系统校准



应用场景	电子系统功能	核心设计考量
束流电流与损失监测	测量束流强度或束损相关信号	动态范围、积分窗口、事件捕获
束线诊断	采集波形，将测量数据与设备事件做关联对齐	触发对齐、数据缓存、数据传输
设备调试与故障分析	保存设备工况变化或故障发生前后的诊断数据	预触发历史记录、时间戳、可复现采集逻辑

基于可扩展 MicroTCA.4 平台搭建系统

MicroTCA.4 将前置 AdvancedAMC 模块与 RTM 模块相结合，让处理单元与定制化后置输入输出组成配对组件。这种架构非常适合模拟信号连接、FPGA 处理、高速数据传输、可维护机架基础设施共存的应用场景。前置、后置模块必须配套选型，保证电气接口与信号路由要求互相匹配。

我司 VT815 机箱为 9U 规格平台，配备 12 个全尺寸双模块 AdvancedAMC 插槽，以及 12 个对应的后置转接模块插槽。支持 MicroTCA 载体集线器冗余配置、电源冗余、散热单元冗余，采用前后通风散热。机箱向每个插槽路由 FCLKA、TCLKA-D 时钟信号，相邻插槽之间提供高带宽互连。RTM 模块完全遵循 MicroTCA.4 规范；扩展选件区域的配置专门适配 FPGA 与存储设备互连。

对于加速器仪器，该机箱为在统一机箱内部集成采集、处理功能提供硬件基础。插槽规划需要充分考虑互连需求、模块功耗、散热条件、时钟分配。



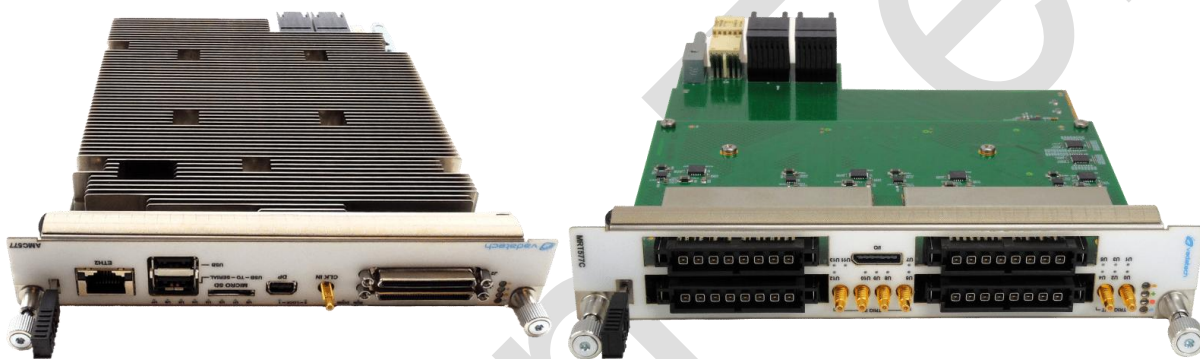


将射频控制环路部署在转换器近端

低电平射频（LLRF）控制用于调节加速场的幅度与相位。典型数字化实现方案：采集经过调理的腔体信号，对比目标场参数计算误差，输出校正信号给到射频驱动链路。完整控制环路包含模拟信号调理、信号转换、数字处理、输出生成以及射频设备响应，每一部分都会影响最终控制性能。

AMC577 模块搭配 MRT577C RTM 模块，是一套基于 RFSoc 的硬件平台，可在此平台开发采集与控制功能。AMC577 搭载 AMD Zynq UltraScale+ XCZU49DR 射频片上系统，集成可编程逻辑、嵌入式 ARM 处理器与射频转换器。板载 16 路 14 位 ADC，采样率最高 2.5 GSPS；16 路 14 位 DAC，采样率最高约 9.7 GSPS。

该架构支持在转换器就近位置部署定制解调、滤波、控制算法；嵌入式处理器承担监控管理任务；可编程逻辑实现对时间严苛的处理通路。最终环路延迟与场稳定性取决于整套系统的完整实现方案。



将处理单元对接模拟信号链路

MRT577C 把 AMC577 的 16 路 ADC、16 路 DAC 信号路由至后面板接口。ADC 通路为直流耦合，搭载可编程低噪声放大器；DAC 通路同样直流耦合，集成差分转单端输出放大器。

这套方案把模拟接口、信号调理放在 RTM 模块，RFSoc 处理单元保留在前置 AdvancedAMC 模块。触发接口与自定义 I/O 端口支持对接各类定制控制、采集功能。针对加速器仪器，模拟链路依旧需要和源信号匹配。输入电平、带宽、增益配置、滤波、校准都需要根据拾取电极或者腔体监测接口确定。转换器采样速率本身并不能决定整套系统的可用带宽与测量精度。

通过定制化输入输出拓展系统架构

不同加速器诊断设备，对模拟接口、转换器特性、数字接口的要求各不相同。带子卡接口的 FPGA 载板，可以独立满足这些需求，无需改动主处理平台。

- **AMC562**：搭载 Zynq UltraScale+ XCZU7EV MPSoc，配置 1 个 FMC+ 子卡接口、嵌入式 Arm 处理器、8GB ECC 校验 DDR4 内存；后置转接模块接口遵循 DESY D1.0 引脚定义，板载时钟抖动净化芯片。
- **AMC580**：搭载 XCZU19EG MPSoc，双 FMC 子卡接口，后置接口兼容 DESY D1.2；配置 8GB ECC 校验 DDR4 内存、四核嵌入式 Arm 处理器，支持 AdvancedAMC 互联总线与时序接口。



在加速器仪器场景中，双 FMC 接口可以在同一套 FPGA 处理资源上组合兼容的采集、输出子卡，或是两张采集子卡。典型应用包含束流诊断、射频测量与控制；系统性能取决于选用的子卡、模拟信号调理、应用固件。当需要更换信号接口或者转换器方案时，上述载板可以作为 AMC577+MRT577C 组合的补充方案。

平台	接口方案	架构定位
AMC562	单 FMC + 接口；DESY D1.0 后置接口	基于 MPSoC 处理，对接定制子卡 I/O
AMC580	双 FMC 接口；DESY D1.2 后置接口	单 FPGA 处理平台，支持两张子卡同时工作
AMC577 + MRT577C	集成 RFSoc 转换器，带信号调理后置模拟 I/O	多通道信号采集与信号输出生成

注：每种配置都需要确认子卡、后置模块兼容性。AMC562 仅引出 FMC+ 的 DP0-DP15，不支持 DP16-DP31；AMC580 是双 FMC，而非双 FMC+。两者后置接口引脚定义不同，不能直接互换使用。AMC580 提供参考设计与 Linux 板级支持包，作为硬件集成开发起点；加速器专用采集、控制算法仍属于用户应用开发范畴。



基于 IEEE 1588 与同步以太网实现网络时序协同

加速器仪器必须保证通道、模块、分布式机箱之间时序关系准确有效。系统设计阶段就要确定以太网总线选型、时序源、工作配置参数。

我司 **UTC055、UTC056 MicroTCA MCH 模块**集成机箱管理、可配置交换、时钟生成与分配功能。UTC055 为单模块全尺寸规格；UTC056 为双模块全尺寸规格。两款设备均在千兆以太网以及对应 40GbE 总线端口支持 IEEE 1588 精确时间协议（PTP）与同步以太网（SyncE）。既可以跟踪外部 PTP 时序源；选配 GPS 接收机后，也可以作为 GPS 参考的主时钟。

IEEE 1588 与同步以太网各司其职、互为补充：IEEE 1588 为全网设备提供统一时间基准；同步以太网在以太网物理层传递频率参考。二者结合本地时钟分配，实现整套设施范围内仪器设备时序协同。



通过背板分发公共参考时钟

两款 MCH 模块均搭载低抖动、低偏移背板时钟路由矩阵，支持可配置时钟合成，最多可对两路用户时钟做抖动净化。

典型实现方案：通过背板时钟通路分发 10 MHz 参考时钟，各采集模块由此公共频率源生成自身采样时钟。该功能是利用时钟生成、路由能力实现的应用配置，并非设备固定默认输出。

架构需要区分四项时序相关功能：

时序功能	作用
IEEE 1588 PTP	将测量数据、事件绑定到全网统一时间基准
SyncE（同步以太网）	保证以太网互连设备之间拥有统一频率基准
10 MHz 背板参考时钟	为机箱内部各模块提供公共频率参考源
触发与转换器同步	确立采集边界，实现可复现的通道对齐

时钟路由需要兼顾总线资源。UTC055、UTC056 不同订货选项下，CLK3/FCLKA 既可以输出固定 100 MHz HCSL PCIe 时钟，也可以配置为通用 M-LVDS 时钟矩阵。10 MHz 仪器参考时钟必须选用兼容通路，不能占用 PCIe 参考时钟通路。共享同一个频率参考，本身并不能保证采样相位可复现。转换器同步、触发处理、系统校准共同完成通道对齐。设计还需要定义系统重启、参考时钟丢失、时序源切换之后，如何恢复同步状态。

多机架规模下的时序扩展

加速器仪器扩展至多机架部署时，时序同步能力也需要突破单机箱的限制。采集、处理系统需要统一参考基准，保证不同诊断站、分布式控制功能的测量数据可以互相关联。

我司 VT974 是机架级时序硬件基础。这是一台 1U 可管理二 / 三层交换机，提供 48 个 SFP+ 以太网端口，支持最高 10GbE，兼容 IEEE 1588 v1/v2 与同步以太网。配置为主时钟后，VT974 可为所有接入仪器设备提供统一 PTP 时间基准；同步以太网在兼容的以太网链路上分发频率参考。其 SyncE 端口可配置为主模式或从模式，支持和外部设备做同步。

在每个机架内部，UTC055/UTC056 载体集线器将网络层时序接入本地机箱；再利用板载时钟生成、分发能力，向采集、处理模块输出公共参考时钟（例如前面提到的 10 MHz 时钟）。



整套体系分为三层同步机制：

层级	功能说明
机架间	VT974 实现网络互连，提供 PTP 时序与 SyncE 频率分发
机箱内部	UTC055/UTC056 完成本地时钟合成与背板分发
采集模块侧	转换器同步、触发、校准实现通道对齐

这套方案支持系统从单机箱扩展为多机架仪器平台。整套设施内，PTP 配置文件、以太网接口、SyncE 能力、时钟源优先级、故障恢复逻辑必须统一配置。网络时间、频率同步只是基础；相位相干采集，仍需要对转换器、触发、校准整套实现做验证。



高速处理与监控数据处理分离

反馈环路需要的数据，和操作员监控、长期归档需要的数据往往不一样。

合理实现方案：在本地完成测量值处理，保存关键波形窗口，仅输出计算结果用于监控。以此根据诊断业务负载合理规划主机算力与网络带宽。

设备调试阶段，原始采样点对理解信号特征、迭代算法至关重要；常规运行工况下，计算得到的数值与选定事件捕获数据就可以满足需求。提前定义不同工作模式，就可以确定缓冲区容量、持续吞吐能力，以及下游资源繁忙时的采集行为。与设施控制系统对接，需要基于处理平台的应用固件、驱动程序、监控接口完成。采集参数、诊断数据、时序状态需要对外统一输出，支撑设备调试、运行、故障分析。

面向扩展与维护进行设计

项目初期部署可能只包含一套诊断站或者射频开发平台；后续扩容会新增通道、新增信号调理电路，或是迭代处理算法。

模块化架构可以在对应接口层面处理变更：前端电子学、转换器模块、FPGA 逻辑、主机软件、机箱基础设施。系统扩容受制于电源、散热、时序资源、数据通路带宽。



维护需求同样影响设计方案。需要考量后置线缆可访问性、模块更换、配置恢复、器件故障带来的系统影响，同时兼顾采集性能。机箱资源冗余保障系统可用性；应用层恢复逻辑决定仪器设备如何回到确定工作状态。

总结

高性能粒子加速器仪器，需要将测量质量、时序同步、处理延迟、运行需求统筹纳入系统设计。

VT815 机箱、AMC577 搭配 MRT577C、基于子卡的 AMC562 与 AMC580 处理平台、UTC055/UTC056 载体集线器，共同构成加速器仪器的互补硬件单元。VT974 交换机把这套架构拓展到机架之间，同时提供网络连通、PTP 主时钟、SyncE 频率分发能力。配合合理配置的背板参考时钟、转换器同步方案，以上硬件可以搭建可扩展的测量控制系统。

如果标准产品需要改动适配，欢迎就定制硬件、系统需求开展技术交流。